



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0004627
Application Number

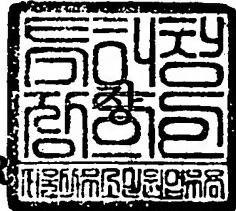
출원년월일 : 2003년 01월 23일
Date of Application JAN 23, 2003

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 26 일

특허청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.01.23
【발명의 명칭】	스퀴 및 글리치가 적은 디지털 아날로그 변환장치
【발명의 영문명칭】	Digital to analog converter with low skew and glitch
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	정홍식
【대리인코드】	9-1998-000543-3
【포괄위임등록번호】	2003-002208-1
【발명자】	
【성명의 국문표기】	권대훈
【성명의 영문표기】	KWON, DAE HOON
【주민등록번호】	711115-1058113
【우편번호】	152-801
【주소】	서울특별시 구로구 가리봉1동 139번지 25/7 효성아파트 802호
【국적】	KR
【발명자】	
【성명의 국문표기】	조계옥
【성명의 영문표기】	CHO, GEA OK
【주민등록번호】	640809-1634824
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 진산마을 삼성5차 501동 1301호
【국적】	KR
【발명자】	
【성명의 국문표기】	문재준
【성명의 영문표기】	MOON, JAE JUN
【주민등록번호】	690915-1053018

【우편번호】 140-811
【주소】 서울특별시 용산구 동빙고동 89-1
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인 정총
식 (인)

【수수료】

【기본출원료】	20	면	29,000 원
【가산출원료】	15	면	15,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	44,000 원		

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

스큐 및 글리치가 적은 디지털 아날로그 변환장치가 개시된다. 본 디지털 아날로그 변환장치는, 각기 다른 전류 출력량을 갖는 전류셀, 전류셀을 선택적으로 인에이블시키는 전류스위치, 및 전류스위치에 의한 전류셀들의 출력전류에 대응되는 전압에 의해 아날로그 신호를 얻으며, 전류스위치는 전류셀들이 갖는 출력전류량에 관계없이 일정한 용량성부하를 갖도록 어스팩트비가 조정된 MOS 트랜지스터를 구비한다. 이러한 디지털 아날로그 변환장치에 의하면, 전류스위치에 구비되는 MOS 트랜지스터의 기생 커패시턴스를 전류 출력량에 관계없이 일정한 값을 갖도록 조정함으로서 글리치와 스큐가 적으면서도 고속으로 동작이 가능하다.

【대표도】

도 7

【색인어】

디지털 아날로그 변환장치, 글리치, 피드-스루, 스큐, 어스팩트비

【명세서】**【발명의 명칭】**

스큐 및 글리치가 적은 디지털 아날로그 변환장치{Digital to analog converter with low skew and glitch}

【도면의 간단한 설명】

도 1은 디지털 아날로그 변환장치의 동작원리를 설명하기 위한 도면,
도 2는 종래의 디지털 아날로그 변환장치의 블록개념도,
도 3a와 도 3b는 도 1과 도 2에 도시된 전류스위치에 의한 글리치 발생을 개념적으로 설명하기 위한 도면,
도 4는 도 3b에 도시된 전류스위치의 개념에 따라 구성된 디지털 아날로그 변환장치의 단위 전류스위치와 단위 전류원에 대한 상세 회로도,
도 5a 내지 도 5d는 도 4에 도시된 단위 전류스위치를 4비트 디지털 아날로그 변환장치에 적용시, 각각의 단위 전류스위치를 구성하는 PMOS의 공정단면도,
도 6은 본 발명에 따른 디지털 아날로그 변환장치의 개략적인 블록개념도,
도 7은 도 6에 도시된 전류스위치중 하나에 대한 상세회로도,
도 8a 내지 도 8d는 도 7에 도시된 PMOS의 공정단면도,
도 9a 내지 도 9d는 본 발명에 따른 전류스위치를 구비하는 디지털 아날로그 변환장치와 종래의 디지털 아날로그 변환장치의 출력파형을 비교 도시한 파형도, 그리고
도 10은 도 6에 도시된 전류스위치중 하나에 대한 다른 실시예를 나타낸다.

도면의 주요 부분에 대한 부호의 설명

110 : 전류원

210 : 제1스위칭부

211a, 212a, 211a, 212b : NMOS

213a, 214a, 213b, 214b : PMOS

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <14> 본 발명은 디지털 아날로그 변환장치에 관한 것으로, 특히 디지털 아날로그 변환시, 글리치(glitch)와 스큐(skew)가 적은 디지털 아날로그 변환장치에 관한 것이다.
- <15> 일반적으로, 디지털 아날로그 변환은, 디지털신호에 의해 온-오프되는 스위치에 의해 제어되는 다수의 전류원에서 출력되는 전류의 합에 대응되는 전압값을 구함으로서 이루어진다. 이때, 각각의 전류원은 디지털신호가 갖는 가중치에 따라 서로 다른 출력전류량을 갖는다. 예컨데 4비트의 디지털 아날로그 변환장치의 경우, LSB(Least Significant Bit)와 MSB(Most Significant Bit)에 대응되는 전류원에서 출력되는 전류는 적어도 두배이상의 차이를 갖는다. 이와 같은 전류량의 차이를 갖는 전류원을 스위칭 시, 통전되는 전류량이 큰 전류원 일수록 스위칭 응답속도가 저하되며 이를 해결하기 위해서는 통전되는 전류량이 큰 전류원의 내부저항이 낮아야 한다. 이에 따라, 디지털 아날로그 변환장치를 구성하는 전류원의 갯수가 증가할수록 상위비트에 대응되는 전류원을 스위칭하는 스위치의 텐-온 저항은 낮아져야 한다.
- <16> 도 1은 디지털 아날로그 변환장치의 동작원리를 설명하기 위한 도면을 나타낸다.

- <17> 도시된 디지털 아날로그 변환장치는, 4비트 디지털 아날로그 변환장치를 개념적으로 도시한 것으로서, 전류셀(11 ~ 14), 전류스위치(21 ~ 24), 및 부하저항(30)을 갖는다.
- <18> 전류셀(11 ~ 14)은 각기 다른 가중치에 따른 전류 출력량을 갖는다. 예컨대, 전류셀(11, 12, 13, 14)은 각각 10mA, 20mA, 30mA, 40mA의 전류 출력량을 가진다. 전류스위치(21 ~ 24)는 디지털신호(D1 ~ D4)에 응답하여 전류셀(11 ~ 14)을 선택적으로 인에이블 시킨다. 인에이블된 전류스위치(21 ~ 24)는 전류셀(11 ~ 14)과 전원전압(VDD)사이를 통전시켜, 전류셀(11 ~ 14)이 갖는 소정의 출력전류를 저항(30)으로 인가한다. 저항(30)으로 인가된 전류는 저항(30)에 의해 소정의 전압신호로 변환되어 출력된다. 즉, 디지털신호(D1 ~ D4)가 아날로그 신호로 변환된다.
- <19> 도 2는 종래의 디지털 아날로그 변환장치의 블록개념도를 나타낸다.
- <20> 도시된 디지털 아날로그 변환장치는, 4비트 디지털 아날로그 변환장치를 개념적으로 도시한 것으로서, 전류셀(41 ~ 44), 전류스위치(51 ~ 54), 부하저항(61, 62), 및 래치(63)를 갖는다.
- <21> 전류셀(41 ~ 44)은 전원전압(VDD)을 인가받아 소정의 전류를 출력한다. 각각의 전류셀(41 ~ 44)은 각기 다른 가중치에 따른 전류 출력량을 갖는다.
- <22> 전류스위치(51 ~ 54)는 디지털신호(D1 ~ D4)에 응답하여 전류셀(41 ~ 44)을 선택적으로 인에이블 시킨다. 여기서, 전류스위치(51 ~ 54)는 디지털신호(D1 ~ D4)에 응답하여 전류셀(41 ~ 44)의 출력을 반전 및 비반전의 형태로 차동 출력한다. 이에 따라, 전류셀(41 ~ 44)에 의해 생성되는 전류는 전원전압(VDD)과 접지전압(GND)사이에 향

상 전류패스를 형성하며 흐르게 된다. 이와 같이 전류스위치(51 ~ 54)에 의해 전류셀(41 ~ 44)이 항상 통전상태로 유지함으로서 디지털 아날로그 변환장치가 디지털 아날로그 변환시 발생하는 글리치가 소정량 감소되며, 이는 차후 상세히 설명하기로 한다.

<23> 도 3a와 도 3b는 도 1과 도 2에 도시된 전류스위치에 의한 글리치 발생을 개념적으로 설명하기 위한 도면을 나타낸다.

<24> 도 3a는 도 1의 전류스위치(예컨데 참조부호 21)가 턴-오프시 글리치가 발생하는 것을 설명하는 것으로, 도시된 바와 같이, 전류원(11)이 전원전압(VDD)과 접지전압(GND) 사이를 통전중 전류패스가 차단될때, 노드 A의 전압이 전원전압(VDD)으로 회복하기 위한 현상에 의해 글리치가 발생하는 것을 볼 수 있다.

<25> 도 3b는 도 2의 전류스위치(예컨데 참조부호 51)의 상세 개념도를 도시한 것이다. 도시된 바와 같이, 전류스위치(51)는 디지털신호(D)와 반전된 디지털신호(/D)에 의해 차동 동작한다. 디지털신호(D)가 논리 "하이"일때는 스위치(51a)가 전류원(41)과 접지전압(GND) 사이를 통전시키며, 디지털신호(D)가 논리 "로우"일때는 스위치(51b)가 전류원(41)과 접지전압 사이를 통전시킨다. 이에 따라, 도 3b에 도시된 전류스위치(51)는 도 3a의 전류스위치에 의한 글리치가 대폭 감소하게 된다.

<26> 도 4는 도 3b에 도시된 전류스위치의 개념에 따라 구성된 디지털 아날로그 변환장치의 단위 전류스위치와 단위 전류원에 대한 상세 회로도를 나타낸다.

<27> 도시된 단위 전류스위치는, 제1스위칭부(80), 및 제2스위칭부(90)를 갖는다.

<28> 제1스위칭부(80)는 디지털신호(D)에 응답하여 전류원(70)이 갖는 전류출력을 제1출력단(out1)으로 출력하며, 제2스위칭부(90)는 반전된 디지털신호(/D)에 응답하여

전류원(70)이 갖는 전류출력을 제2출력단(out2)으로 출력한다. 이에 따라, 제1스위칭부(80)와 제2스위칭부(90)는 교대로 동작하여 전류원(70)에 의한 전류출력을 제1출력단(out1)이나 제2출력단(out2)으로 출력한다.

<29> 먼저, 제1스위칭부(80)는 디지털신호(D)가 논리 "하이"일 때 PMOS(84)를 턴-온시켜, 전류원(70)에 의한 전류출력을 제1출력단(out1)으로 출력한다. 마찬가지로, 제2스위칭부(90)는 반전된 디지털신호(/D)가 논리 "하이"일 때 PMOS(94)를 턴-온시켜, 전류원(70)에 의한 전류출력을 제2출력단(out2)로 출력한다. 이 때, 제1스위칭부(80)의 NMOS 81, 82는 디지털신호(D)가 논리 "로우"일 때, NMOS(82)의 게이트단에 인가되는 전압(Vb)을 PMOS(84)에 인가하여 PMOS(84)에 의해 전류원(70)의 전류출력이 제1출력단(out1)에 인가되지 않도록 한다. 여기서, NMOS(81)는 반전된 디지털신호(/D)에 의해 온-오프되는 스위치이며, NMOS(82)는 NMOS(81)의 소스단에서 출력되는 전원전압을 게이트단에 인가되는 전압(Vb)값으로 제한하여 PMOS(84)에 인가하는 역할을 한다. 이에 따라, PMOS(84)에 인가되는 전압의 범위는 전압(Vb)에 의해 소정량 낮아지며, 제1출력단(out1)에 발생되는 클리치의 절대값을 낮추게 된다. 제2스위칭부(90)의 동작은 반전된 디지털신호(/D)에 의해 제2출력단(out2)을 구동하는 것 이외에는 제1스위칭부(80)의 동작과 유사하므로 이하, 생략하도록 한다.

<30> 한편, 상기한 단위 전류스위치는 전류원(70)의 출력전류량이 클수록 응답속도가 저하된다. 이를 해결하기 위해서는 통전되는 전류량이 큰 전류스위치의 내부저항이 통전되는 전류량이 적은 전류스위치에 비해 낮아야 한다. 이는 상기한 단위 전류스위치가 여러개 모여 하나의 디지털 아날로그 변환장치를 구성할 때, 최상위비트에 해당되는 단위 전류스위치가 구동해야 할 전류량이 가장 크고 최하위 비트에 해당하는 단위 전류스위치

가 구동해야 할 전류량이 가장 작으므로, 디지털 아날로그 변환장치를 구성시, 각각의 단위 전류스위치가 구동해야 하는 전류량에 따라 각기 다른 턴-온 저항값을 갖도록 설계 해야 함을 의미한다. 만일, 전류원의 출력전류량에 관계없이 각각의 전류원을 스위칭하기 위한 단위 전류스위치가 동일한 턴-온 저항을 가지는 경우, 각 전류원이 출력단에 인가하는 전류가 각기 다른 타이밍체 인가되므로 스케우(skew)가 발생하게 된다.

<31> 도 5a 내지 도 5d는 도 4에 도시된 단위 전류스위치를 4비트 디지털 아날로그 변환 장치에 적용시, 각각의 단위 전류스위치를 구성하는 PMOS(예컨데 84 또는 94)의 공정단면도를 도시한 것이다.

<32> 도 5a는 최하위비트 LSB에 적용되는 PMOS의 공정단면도이고, 도 5a는 최상위비트 MSB에 적용되는 PMOS의 공정단면도를 나타내며, 도 5b와 도 5c는 각각 최하위비트와 최상위비트에 순차적으로 할당되는 PMOS의 공정단면도를 나타낸다.

<33> 도시된 바와 같이, 종래의 MOS 트랜지스터는 드레인단과 소스단 사이에 형성되는 산화막(예컨데 SiO_2) 사이의 거리(L)는 일정한대신 산화막의 폭(W)을 증가시켜, 턴-온 저항을 가변시키는 것을 볼 수 있다. 이와 같은 방법은 산화막의 폭(W)을 가변하여 PMOS의 턴-온 저항을 손쉽게 가변하는 장점이 있으나, 산화막위에 형성되는 게이트단(미 도시)과 드레인단 사이의 형성되는 커패시턴스의 용량을 증가시키는 문제점이 있다. PMOS의 게이트단과 드레인단 사이에 형성되는 커패시턴스는 PMOS가 게이트단에 인가되는 신호에 응답하여 턴-온, 턴-오프되는 응답시간을 증가시키게 되며, 커패시턴스값이 클 경우 게이트단에 인가되는 신호가 드레인단으로 패스-스루(path-through)되는 현상이 발생하게 된다. 즉, 이와 같은 PMOS를 디지털 아날로그 변환장치의 단위 전류스위치에 적용시, 디지털 아날로그 변환장치의 출력단에는 패스-스루현상에 의한 글리치가 발생하게

된다. 또한, 각각의 PMOS가 갖는 커패시턴스에 의해서 각각의 PMOS는 서로 다른 응답 시간을 가지게 되므로, 각 PMOS가 갖는 응답시간의 차에 의한 스큐(skew)현상도 발생한다. 이에 따라, 상기한 PMOS를 구비하는 디지털 아날로그 변환장치는 각각의 PMOS가 갖는 응답시간의 차에 따라 고속으로 디지털 아날로그 변환시, 데이터값에 오류가 발생하게 되며, 스큐에 따른 오차를 보정하기 위해 샘플링 시간 간격에 대해 높은 마진(margin)을 부여해야 하므로 고속의 디지털 아날로그 변환장치를 구현하기 어려운 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<34> 본 발명은 상기한 종래의 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은, 글리치와 스큐가 적으면서도 고속으로 동작 가능한 디지털 아날로그 변환장치를 제공함에 있다.

【발명의 구성 및 작용】

<35> 상기한 목적은 본 발명에 따라, 각기 다른 전류출력을 갖는 전류셀, 전류셀을 선택적으로 인에이블시키는 전류스위치, 및 전류스위치에 의한 전류셀들의 출력전류에 대응되는 전압에 의해 아날로그 신호를 얻는 디지털 아날로그 변환장치에 있어서, 전류스위치는 전류셀들이 갖는 출력전류량에 관계없이 일정한 용량성부하를 갖도록 어스펙트비가 조정된 MOS 트랜지스터를 구비함으로서 달성된다.

<36> MOS 트랜지스터는, MOS 트랜지스터의 소스단과 드레인단의 거리 L_s 과, 거리 L_d 의 수직방향으로 형성되는 폭 W 의 곱이 전류셀들이 갖는 전류용량에 관계없이 일정한 것이 바람직하다.

- <37> 커패시턴스값은, MOS 트랜지스터의 게이트단과 소스단, 게이트단과 드레인단 및 게이트단과 상기 MOS 트랜지스터의 기판 사이에서 형성되는 기생 커패시턴스의 총 합인것이 바람직하다.
- <38> 전류스위치는, 전류셀들이 갖는 전류용량에 반비례하는 스위칭-온 저항을 갖는 것을 특징으로 한다.
- <39> 바람직하게는, 전류스위치를 온-오프하는 전압 레벨을 상기 전류스위치의 최소 동작점으로 낮추기 위한 전압제어부를 더 포함한다.
- <40> 전류스위치는, 전류스위치를 온-오프하기 위한 신호와, 이를 반전한 신호에 응답하여 전류원이 전원전압과 접지전압 사이에 항상 전류패스를 형성하도록 교대로 동작하는 것이 바람직하다.
- <41> 바람직하게는, 전류셀들은, 동일한 전류출력량을 갖는 서머메터(thermometer) 방식이다.
- <42> 더욱 바람직하게는, 전류셀들은, 전류셀들을 적어도 둘 이상의 그룹으로 나누고, 나뉘어진 그룹에 대해 각기 다른 용량성 부하를 갖도록 설계된다.
- <43> 이하, 도면을 참조하여 본 발명을 상세히 설명한다.
- <44> 도 6은 본 발명에 따른 디지털 아날로그 변환장치의 개략적인 블록개념도를 도시한 것이다.
- <45> 도시된 디지털 아날로그 변환장치는, 4비트 디지털 아날로그 변환장치를 개념적으로 도시한 것으로서, 전류셀(110 ~ 140), 전류스위치(210 ~ 240), 부하저항(251, 252), 및 래치(300)를 갖는다.

- <46> 전류셀(110 ~ 140)은 전원전압(VDD)을 인가받아 소정의 전류를 출력한다. 각각의 전류셀(110 ~ 140)은 각기 다른 가중치에 따른 전류출력을 갖는다.
- <47> 전류스위치(210 ~ 240)는 디지털신호(D1 ~ D4)에 응답하여 전류셀(110 ~ 140)을 선택적으로 인에이블 시킨다. 여기서, 전류스위치(210 ~ 240)는 디지털신호(D1 ~ D4)에 응답하여 전류셀(110 ~ 140)의 출력을 반전 및 비반전의 형태로 차동출력한다. 이에 따라, 전류셀(110 ~ 140)에 의해 생성되는 전류출력은 전원전압(VDD)과 접지전압(GND)사이에 항상 전류패스를 형성하게 된다. 이와 같이 전류스위치(210 ~ 240)에 의해 전류셀(110 ~ 140)이 항상 통전상태로 유지함으로서 디지털 아날로그 변환장치가 디지털 아날로그 변환시 발생하는 글리치가 소정량 감소된다.
- <48> 래치(300)는 각 전류스위치(210 ~ 240)에 디지털신호가 인가되는 타이밍을 클럭(sampling clock)에 의해 일치시킨다.
- <49> 부하저항(251, 252)은 전류스위치(210 ~ 240)에 의해 선택적으로 전류패스가 형성된 전류원으로부터 인가되는 전류의 총 합을 전압값으로 변환한다.
- <50> 도 7은 도 6에 도시된 전류스위치(210 ~ 240)중 하나에 대한 상세회로도를 도시한 것이다.
- <51> 도시된 전류스위치는 디지털신호(D)와 반전된 디지털신호(/D)에 의해 차동 동작한다. 디지털신호(D)가 논리 "하이"일 때는 NMOS(212a)가 턠-온되어 접지전압(GND)을 PMOS(213a)의 게이트단에 인가한다. 이에 따라, PMOS(213a)는 전류원(110)과 출력단(out1) 사이를 통전시킨다.

<52> 디지털신호(D)가 논리 "로우"일 때는 NMOS(212b)가 턴-온되어 PMOS(213b)의 게이트 단에 접지전압(GND)을 인가한다. 이에 따라 PMOS(213b)는 턴-온되어 전류원(110)과 출력단(out2) 사이를 통전시킨다. 여기서, 본 발명의 전류스위치는 도시된 PMOS 213a, 213b에 그 특징이 있다. PMOS(213a)와 PMOS(213b)는 MOS 트랜지스터를 설계하는 단계, 즉 공정단계에서 게이트단과 소스단 사이에 구비되는 산화막(예컨데 SiO_2)의 가로/세로의 비를 조정하여 전류원(110)이 갖는 출력전류량에 관계없이 게이트단과 소스단 사이에 일정한 커패시턴스를 갖도록 한다. 이와 같이, 일정한 값을 갖는 커패시턴스에 의해 본 전류스위치를 적용하는 디지털 아날로그 변환장치는 각 전류셀이 갖는 출력전류량에 관계없이 스큐 및 글리치가 감소되는 효과를 얻는다. 이는 차후 상세히 설명하기로 한다.

<53> 도 8a는 도 7에 도시된 PMOS(213a 또는 213b)의 공정단면도를 나타낸다.

<54> 참조부호 410은 P타입 기판을 사용하여 PMOS를 형성시, 채널을 형성하기 위한 N웰(N-Well)을 나타낸다. 참조부호 420은 N웰(N-Well)에 형성된 소스(source)단을 나타낸다. 참조부호 430은 N웰(N-Well)에 형성된 드레인(drain)단을 나타낸다. 참조부호 440은 소스단(420)과 드레인단(430)사이에 형성되는 산화막(예컨데 SiO_2)을 도시한 것으로, 도면에서는 도시하지 않았으나, 산화막(440)위에는 금속을 적층하여 게이트단을 형성한다.

<55> 한편, 게이트단(미도시)과 소스단(420)사이에 형성되는 커패시턴스는 유전총의 역할을 하는 산화막(예컨데 SiO_2)(440)이 갖는 면적에 의해 커패시턴스의 용량이 결정된다. 예컨데, 도시된 PMOS는 폭(W)과 길이(L)의 곱에 비례하는 기생커패시턴스가 형성된다. 이는 다음의 수학식 1에 의해 표현할 수 있다.

<56> 【수학식 1】 $C_{total} = C_{gs} + K \cdot E(W \cdot L)$,

<57> 여기서, C_{total} 은 PMOS에 형성되는 기생 커패시턴스의 총 합이고, C_{gs} 는 게이트 단과 소스단 사이의 기생 커패시턴스, W 와 L 은 각각 산화막의 폭과 길이이며, K 는 비례 상수이다. 수학식 1은 기생커패시턴스중 글리치 및 스큐에 가장 많은 영향을 끼치는 C_{gs} 를 기생커패시턴스의 총 합으로 대신하였다.

<58> 또한, PMOS를 턴-온 시키는 턴-온 저항은 다음의 수학식 2와 같다.

<59> 【수학식 2】 $R_{on} = \mu \cdot E \cdot C_{ox} \cdot E(V_{gs} - V_{th} - V_d) \cdot E\left(\frac{L}{W}\right) = K \cdot E\left(\frac{L}{W}\right)$,

<60> 여기서, μ 는 정공의 이동속도, C_{ox} 는 산화막의 단위 커패시턴스, W 와 L 은 각각 산화막의 폭과 길이, V_{gs} 는 게이트단과 소스단 사이의 전압, V_{th} 는 문턱전압, V_d 는 기판전압이며, K 는 비례상수이다.

<61> 즉, 턴-온 저항은 소스단(420)과 드레인단(430) 사이에 위치하는 산화막(440)의 폭(W)이 넓을수록 감소하며, 길이(L)가 길수록 증가함을 알 수 있다.

<62> 도 8b 내지 도 8e는 도 8a에 도시된 단위 전류스위치의 PMOS(예컨대 213a 또는 213b)를 도 7에 도시된 전류스위치에 적용시, 각 전류스위치(예컨대 210 ~ 240)에 구비 되는 PMOS의 공정단면도를 도시한 것이다.

<63> 도 8b는 도 6에 도시된 전류스위치중 첫번째 비트, 즉, 최하위 비트에 대응되는 전류스위치(240)에 적용되는 PMOS의 공정단면도를 나타낸다. 도시된 PMOS는 폭(W)과 길이(L)가 각각 $25\mu m$ 와 $2\mu m$ 이다. 따라서, 폭과 길이의 곱은 $50\mu m^2$ 이 되며, 턴-온 저항은 수학식 2에 의해 $0.08 \times K$ (비례상수)가 된다.

<64> 도 8c는 도 6에 도시된 전류스위치중 두번째 비트에 대응되는 전류스위치(230)에 적용되는 PMOS의 공정단면도를 나타낸다. 도시된 PMOS는 폭(W)과 길이(L)가 각각 $35.4\mu\text{m}$ 와 $1.4\mu\text{m}$ 이다. 따라서, 폭과 길이의 곱은 $49.6\mu\text{m}^2$ 이 되며, 턴-온 저항은 수학식 2에 의해 $0.04 \times K(\text{비례상수})$ 가 된다.

<65> 도 8d는 도 6에 도시된 전류스위치중 세번째 비트에 대응되는 전류스위치(220)에 적용되는 PMOS의 공정단면도를 나타낸다. 도시된 PMOS는 폭(W)과 길이(L)가 각각 $50\mu\text{m}$ 와 $1\mu\text{m}$ 이다. 따라서, 폭과 길이의 곱은 $50\mu\text{m}^2$ 이 되며, 턴-온 저항은 수학식 2에 의해 $0.02 \times K(\text{비례상수})$ 가 된다.

<66> 도 8e는 도 6에 도시된 전류스위치중 네번째 비트, 즉 최상위 비트에 대응되는 전류스위치(210)에 적용되는 PMOS의 공정단면도를 나타낸다.

<67> 도시된 PMOS는 폭(W)과 길이(L)가 각각 $70.7\mu\text{m}$ 와 $0.71\mu\text{m}$ 이다. 따라서, 폭과 길이의 곱은 $50.2\mu\text{m}^2$ 이 되며, 턴-온 저항은 수학식 2에 의해 $0.01 \times K(\text{비례상수})$ 가 된다.

<68> 즉, 도 8b와 도 8e에 도시된 PMOS의 산화막의 폭과 길이의 곱은 항상 일정한 값(약 $50\mu\text{m}^2$)을 가지므로, 이와 같은 PMOS가 적용된 전류스위치로 N비트의 디지털 아날로그 변환장치를 구성시, 각각의 비트를 변환하기 위한 전류스위치는 동일한 커패시턴스값을 갖게된다. 따라서, 각 비트에 대응되는 전류스위치는 전류원이 갖는 출력전류량에 관계 없이 동일한 응답시간을 갖지게 되므로 스퀴가 감소되며, 본 PMOS가 적용된 전류스위치를 구비하는 디지털 아날로그 변환장치는 고속 동작이 가능하게 된다.

<69> 또한, 도 8b 내지 도 8e에 도시된 PMOS의 산화막의 폭과 길이의 곱은 항상 일정하면서도 각각의 PMOS는 서로 다른 턴-온 저항을 갖는다. 예컨데, 전류 출력량이 가장 적은

최하위 비트의 전류스위치의 턴-온 저항이 $0.08 \times K$ 이나, 전류출력량이 가장 큰 최상위 비트의 전류스위치가 갖는 턴-온 저항은 $0.01 \times K$ 가 되므로 전류출력량에 따른 응답 시간 지연이 발생하지 않는다.

<70> 도 9a 내지 도 9c는 본 발명에 따른 전류스위치를 구비하는 디지털 아날로그 변환장치와 종래의 디지털 아날로그 변환장치의 출력파형을 비교 도시한 파형도를 나타낸다.

<71> 도 9a는 도 3a에 도시된 전류스위치에 적용한 디지털 아날로그 변환장치의 출력파형을 나타내고, 도 9b는 도 3b에 도시된 전류스위치를 적용한 디지털 아날로그 변환장치의 출력파형을 나타내며, 도 9c는 본 발명에 따른 전류스위치를 구비하는 디지털 아날로그 변환장치의 출력파형을 나타낸다.

<72> 도시된 바와 같이, 도 9a의 A영역, 도 9b의 B영역이 갖는 글리치에 비해 본 발명의 전류스위치가 적용된 디지털 아날로그 변환장치의 출력파형의 C영역이 갖는 글리치는, 글리치의 발생빈도나 크기가 종래에 비해 매우 작음을 볼 수 있다. 이는 종래의 전류스위치가 상위 비트로 갈수록 높은 커패시턴스값을 가지며, 높은 커패시턴스값에 의해 전류셀을 구동하기 위한 디지털신호(D1 ~ D4)에 스큐가 발생하여 글리치가 발생하던 것을 본 발명의 전류스위치는 전류출력량에 관계없이 일정한 기생 커패시턴스를 가지도록 함으로서 이를 해결하기 때문이다. 또한, 전류원이 갖는 전류출력량에 관계없이 커패시턴스값이 일정하게 되므로, 전류출력량이 큰 상위비트에 대응되는 PMOS의 게이트단에서 소스단으로 피드-스루(feed-through)되는 전류에 의해 발생하는 글리치도 감소하게 된다.

- <73> PMOS의 게이트단에서 소스단으로 전류가 흐르는 피드-스루(feed-through)되는 전류에 의해 글리치가 발생하던것을 본 발명의 전류스위치는 전류출력량에 관계없이 일정한 기생 커패시턴스를 가지도록 함으로서 이를 해결하기 때문이다.
- <74> 도 10은 도 6에 도시된 전류스위치(210 ~ 240)중 하나에 대한 다른 실시예를 나타낸다. 도시된 실시예는 도 8b 내지 도 8e에 도시된 PMOS를 적용한 전류스위치로서 도 7에 도시된 전류스위치와 그 구성 및 동작방식이 유사하므로, 유사한 구성 요소에 대하여 동일한 참조부호를 적용하며, 유사한 구성 요소에 대한 설명은 일부 생략하기로 한다.
- <75> 도시된 전류스위치는 제1스위칭부(210a) 및 제2스위칭부(210b)를 갖는다.
- <76> 제1스위칭부(210a)는 전원전압(VDD)과 접지전압(GND)사이에 직렬 접속되며 각각 반전된 디지털신호(/D), 제어전압(Vb), 및 디지털신호(D)에 응답하는 NMOS 215a, 216a, 217a와, 소스단은 전류원의 출력단에 접속되고 게이트단은 NMOS(217a)의 드레인단에 접속되는 PMOS(218a), 및 소스단은 PMOS(218a)의 드레인단에 접속되고 게이트단은 접지전압(GND)에 접속되며, 드레인단은 제1출력단(out1)을 형성하는 PMOS(219a)로 구성된다.
- <77> 제1스위칭부(210a)는 디지털신호(D)가 논리 "하이"일때는 제1스위칭부의 NMOS(217a)가 턴-온되어 접지전압(GND)을 PMOS(218a)의 게이트단에 인가한다. 이에 따라, PMOS(218a)는 전류원(110)과 출력단(out1) 사이를 통전시킨다. 이때, NMOS(216a)의 게이트단에 인가되는 제어전압(Vb)을 가변함에 따라, NMOS(216a)의 소스단에 유기되는 전압이 가감된다. 예컨데, NMOS(216b)의 게이트단에 3V의 전압을 인가하는 경우, NMOS(216b)의 소스단에 유기되는 전압의 최대치는 약 2V가 된다. 즉, PMOS(218a)를 턴-오프시 발생되는 글리치의 절대값을 감소시킬 수 있다. 여기서, PMOS(218a)는 도 8b 내지 도 8e에서 설명된 바와 같은 어스펙트비를 적용한다.

- <78> 제2스위칭부(210b)는 제1스위칭부(210a)와 구성 및 동작방법이 유사하므로 이하, 생략하도록 한다.
- <79> 도 11a와 도 11b는 종래의 전류스위치와 본 발명에 따라 어스펙트비가 조정된 MOS 트랜지스터를 구비하는 전류스위치의 응답 특성을 비교 도시한 것이다.
- <80> 도 11a은 도 4에 도시된 전류스위치의 각 비트별 응답곡선을 나타낸다.
- <81> 참조부호 E는 출력전류량이 가장 작은 첫번째비트(최하위비트)에 대응되는 전류스 위치의 응답곡선이고, 참조부호 F는 두번째비트에 대응되는 전류스위치의 응답곡선이고, 참조부호 G는 세번째비트에 대응되는 전류스위치의 응답곡선이고, 참조부호 H는 네번째 비트(최상위비트)에 대응되는 전류스위치의 응답곡선이며, 참조부호 V_{th}는 PMOS의 문턱 전압(threshold voltage)을 나타낸다.
- <82> 도시된 바와 같이, PMOS의 문턱전압을 기준으로 전류출력량이 가장 적은 E가 가장 응답속도가 빠르고 전류출력량이 가장 많은 H가 가장 응답속도가 늦음을 볼 수 있다.
- <83> 도 11b는 본 발명에 따라 어스펙트비가 조정된 PMOS를 구비하는 전류스위치의 응답 곡선을 나타낸다.
- <84> 도시된 바와 같이, 본 발명에 따라 어스펙트비가 조정된 PMOS에 의해 각 전류원에 대응되는 전류스위치가 갖는 커패시턴스값이 일정하므로 각각의 비트에 대응하는 응답곡 선(E', F', G', H')이 거의 동일한 응답특성을 가짐을 볼 수 있다. 문턱전압(V_{th})을 기 준으로 보면 동일한 응답속도를 갖는다고 할 수 있으며, 이와 같은 응답특성에 의해 고 속으로 디지털 아날로그 변환시, 데이터 오류가 발생하지 않으며, 각각의 비트가 갖는 응답시간을 고려하여 타이밍 마진을 높이지 않아도 된다.

<85> 한편, 본 발명에 따른 PMOS는 통상적인 가중치를 갖는 디지털 아날로그 변환장치 이외에도, 모든 전류원의 전류출력량이 동일한 서머메터(thermometer)방식의 디지털 아날로그 변환장치를 일부 적용하는 혼합형 디지털 아날로그 변환장치에 적용시 글리치 및 스큐를 감소시키는 효과를 얻을 수 있다.

<86> 서머메터 방식은 디지털 아날로그 변환장치에 구비되는 전류원이 모두 동일한 전류 출력량을 가지며, 디지털신호가 갖는 가중치에 비례하여 턴-온되는 전류원의 갯수를 가감함으로서 디지털 아날로그 변환하는 방식을 말한다. 따라서, 서머메터 방식은 디지털-아날로그 변환시, 일반적인 디지털 아날로그 변환장치에 비하여 더 많은 갯수의 전류원을 필요로 하는 대신 각각의 전류원이 갖는 기생 커패시턴스값은 일정하다는 특징이 있다. 혼합형 디지털 아날로그 변환방법은 N개의 전류원을 적어도 두개의 그룹으로 나누고, 나누어진 그룹중 어느 한 그룹에는 가중치에 따른 전류출력량을 갖는 디지털 아날로그 변환방식을 적용하며, 다른 한 그룹에는 상기한 서머메터 방식을 적용하는 디지털 아날로그 변환방법이다. 혼합형 디지털 아날로그 변환방법을 적용한 디지털 아날로그 변환장치에서 가중치가 적용되는 그룹의 전류원을 본 발명에 따른 PMOS를 구비하는 전류스위치를 적용시, 글리치 및 스큐의 감소 효과를 얻게된다.

【발명의 효과】

<87> 본 발명은 상기한 바와 같이, 전류스위치에 구비되는 MOS 트랜지스터의 기생 커패시턴스를 전류출력량에 관계없이 일정한 값을 갖도록 조정함으로서 글리치와 스큐가 적으면서도 고속으로 동작 가능한 디지털 아날로그 변환장치를 구현하였다.

<88> 이상에서는 본 발명의 바람직한 실시예에 대해서 도시하고 설명하였으나, 본 발명은 상술한 특정의 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지

를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진자라면 누구든지 다양한 변형 실시가 가능한 것은 물론이고, 그와 같은 변경은 청구범위 기재의 범위 내에 있게된다.

【특허 청구범위】**【청구항 1】**

각기 다른 전류 출력량을 갖는 전류셀, 상기 전류셀을 선택적으로 인에이블시키는 전류스위치, 및 상기 전류스위치에 의한 상기 전류셀들의 출력전류에 대응되는 전압에 의해 아날로그 신호를 얻는 디지털 아날로그 변환장치에 있어서,

상기 전류스위치는 상기 전류셀들이 갖는 출력전류량에 관계없이 일정한 용량성부하를 갖도록 어스펙트비가 조정된 MOS 트랜지스터를 구비하며, 상기 일정한 용량성부하에 의해 상기 각기 다른 전류 출력을 갖는 전류셀들이 온-오프시 발생하는 스큐 및 글리치를 감소시키는 것을 특징으로 하는 스큐 및 글리치가 적은 디지털 아날로그 변환장치.

【청구항 2】

제1항에 있어서,

상기 MOS 트랜지스터는,

상기 MOS 트랜지스터의 소스단과 드레인단의 거리 $L_{\text{파}}$, 상기 거리 L 의 수직방향으로 형성되는 폭 W 의 곱이 상기 전류셀들이 갖는 전류용량에 관계없이 일정한 것을 특징으로 하는 스큐 및 글리치가 적은 디지털 아날로그 변환장치.

【청구항 3】

제2항에 있어서,

상기 커패시턴스값은,

상기 MOS 트랜지스터의 게이트단과 소스단, 게이트단과 드레인단 및 게이트단과 상기 MOS 트랜지스터의 기판 사이에서 형성되는 기생 커패시턴스의 총 합인것을 특징으로 하는 스큐 및 글리치가 적은 디지털 아날로그 변환장치.

【청구항 4】

제1항에 있어서,

상기 전류스위치는,

상기 전류셀들이 갖는 상기 전류용량에 반비례하는 스위칭-온 저항을 갖는 것을 특징으로 하는 스큐 및 글리치가 적은 디지털 아날로그 변환장치.

【청구항 5】

제1항에 있어서,

상기 전류스위치를 온-오프하는 전압 레벨을 상기 전류스위치의 최소 동작점으로 낮추기 위한 전압제어부;를 더 포함하는 것을 특징으로 하는 스큐 및 글리치가 적은 디지털 아날로그 변환장치.

【청구항 6】

제1항에 있어서,

상기 전류스위치는,

상기 전류스위치를 온-오프하기 위한 신호와, 이를 반전한 신호에 응답하여 상기 전류원이 전원전압과 접지전압 사이에 항상 전류패스를 형성하도록 교대로 동작하는 것을 특징으로 하는 스큐 및 글리치가 적은 디지털 아날로그 변환장치.

【청구항 7】

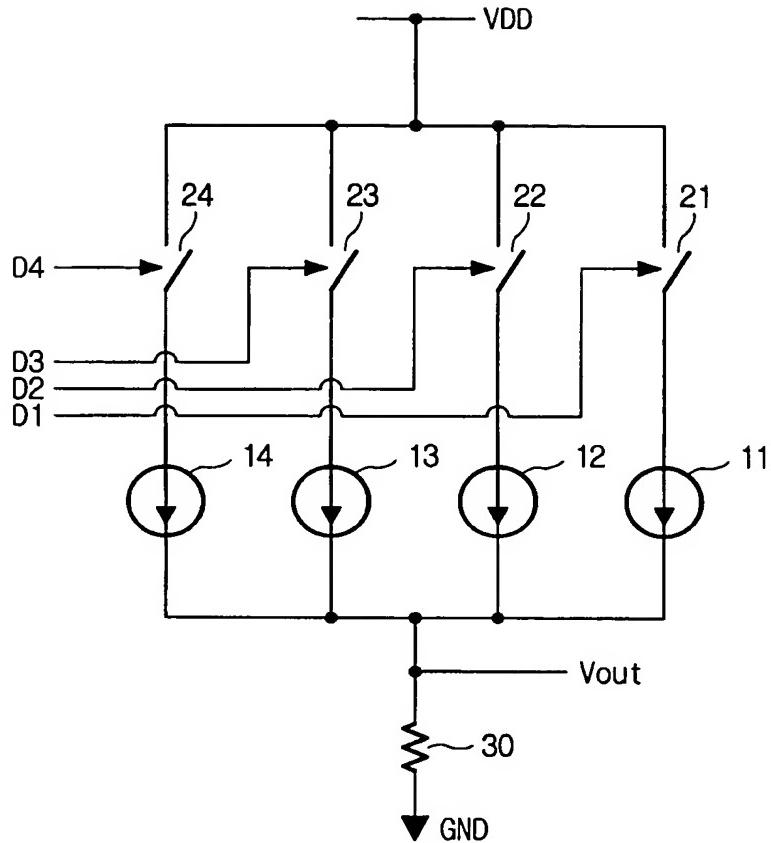
제1항에 있어서,

상기 전류셀들은

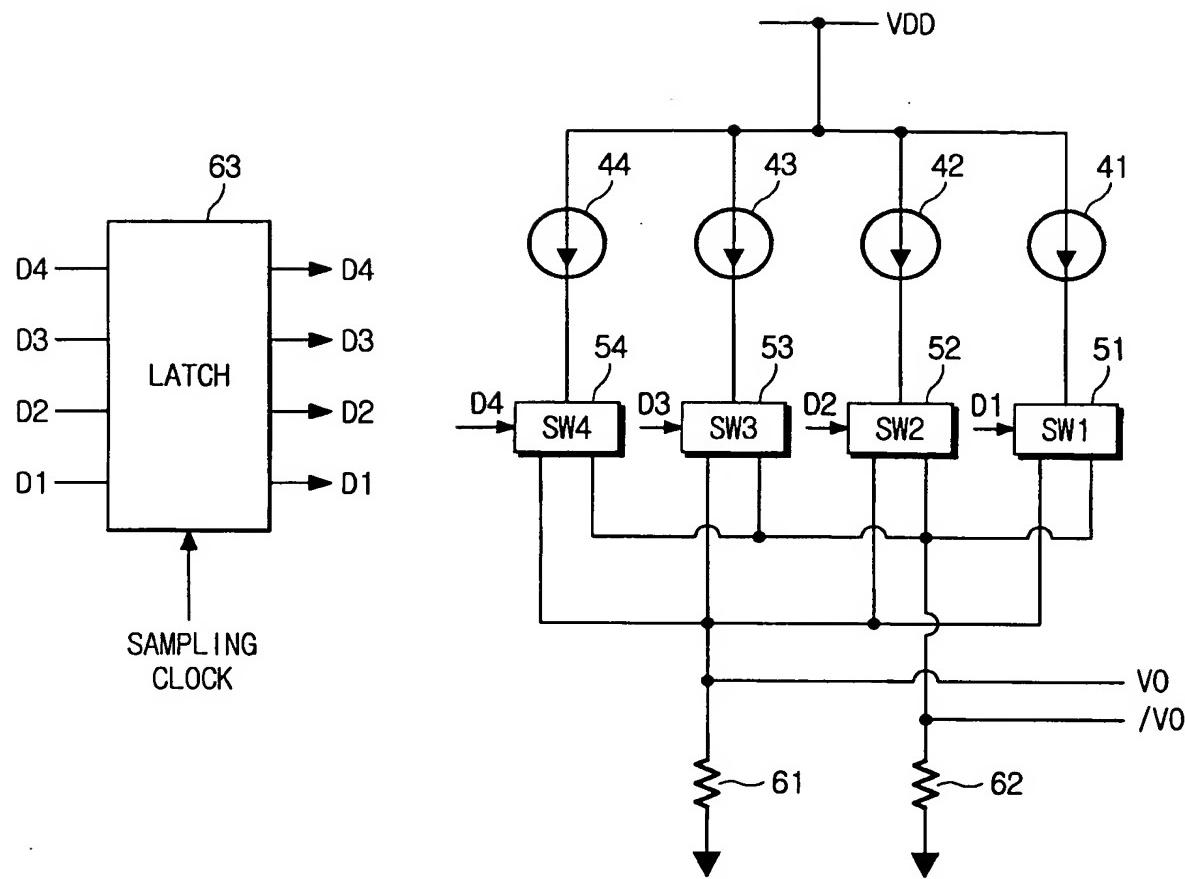
상기 전류셀들을 적어도 둘 이상의 그룹으로 나누고, 상기 나뉘어진 그룹중 어느 한 그룹에는 서머메터방식에 따라 동일한 전류출력량을 갖도록 설계되는 것을 특징으로 하는 스큐 및 글리치가 적은 디지털 아날로그 변환장치.

【도면】

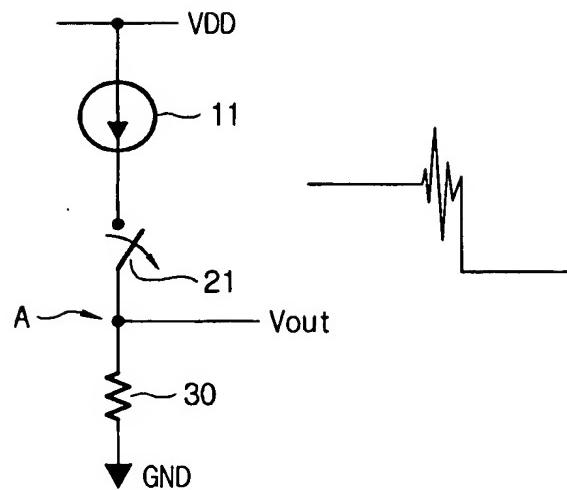
【도 1】



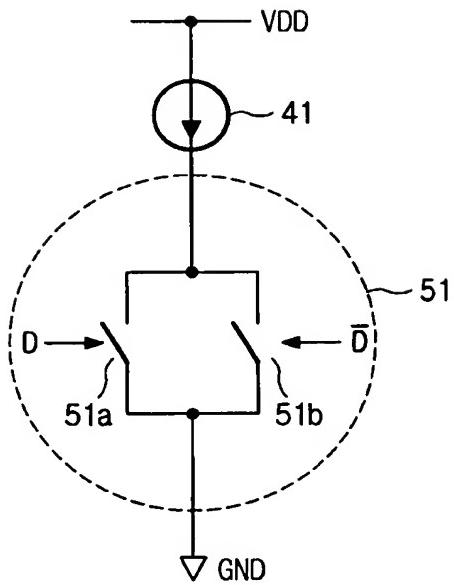
【도 2】



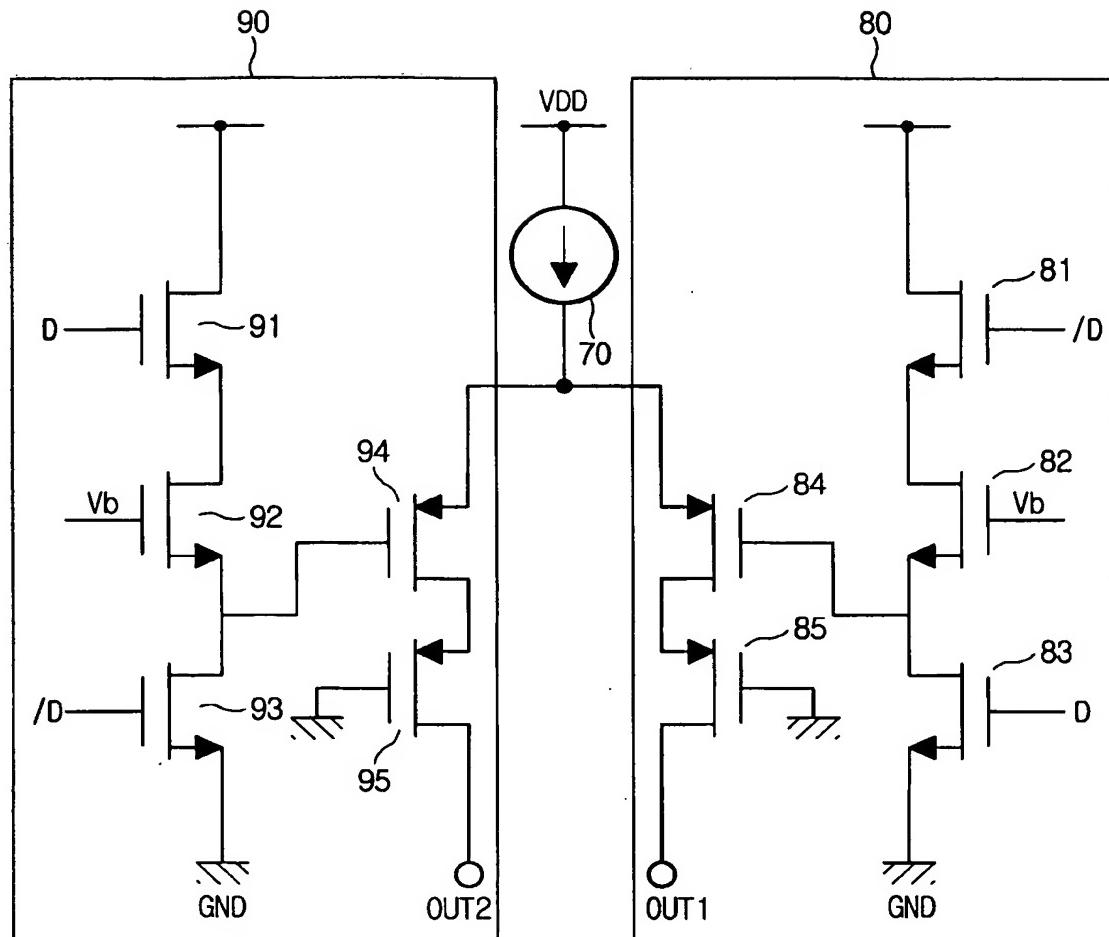
【도 3a】



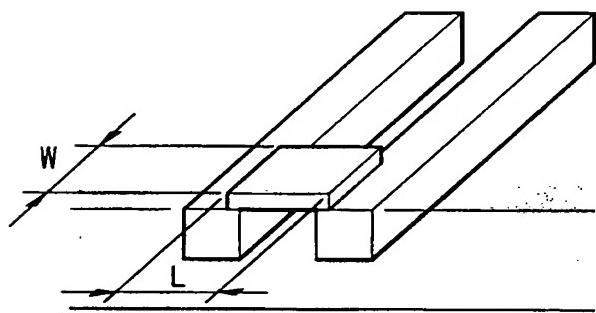
【도 3b】



【도 4】



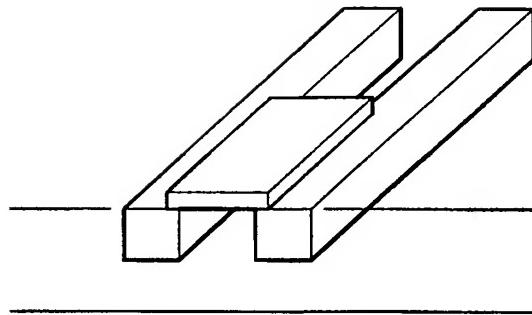
【도 5a】



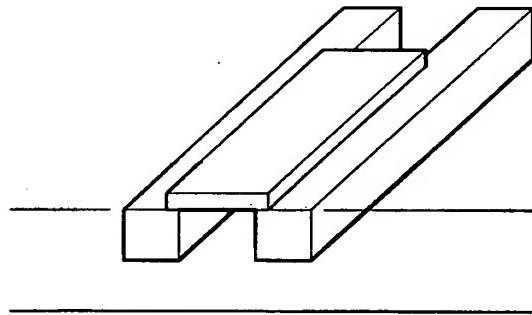
1020030004627

출력 일자: 2003/5/27

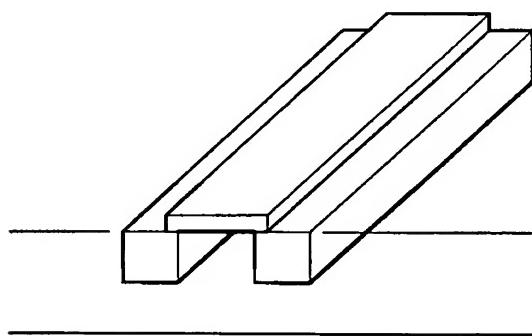
【도 5b】



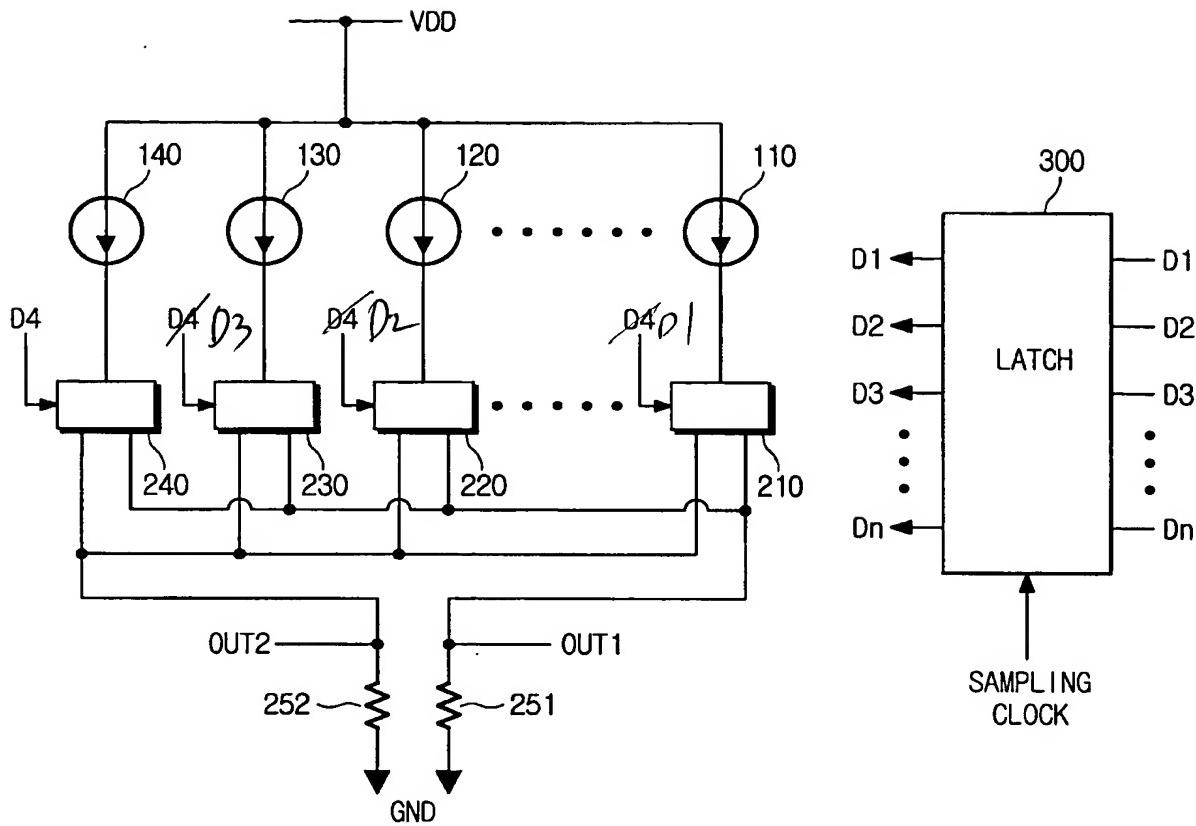
【도 5c】



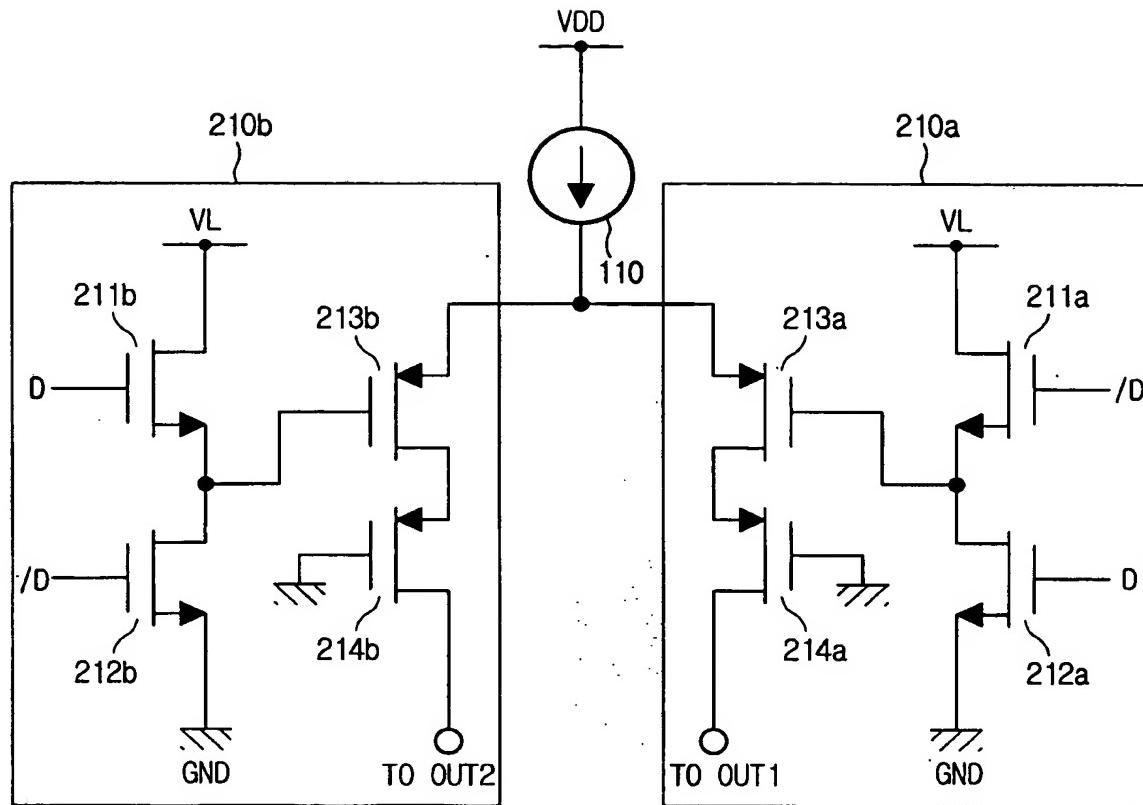
【도 5d】



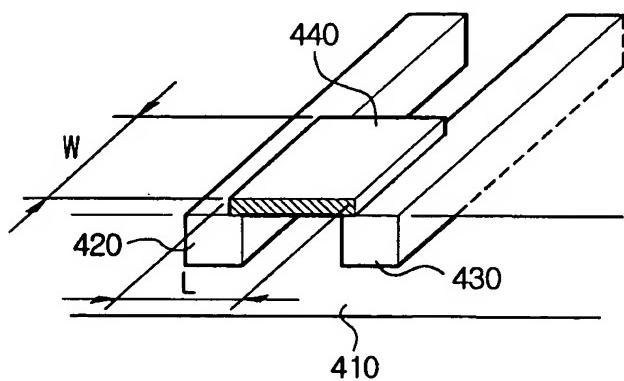
【도 6】



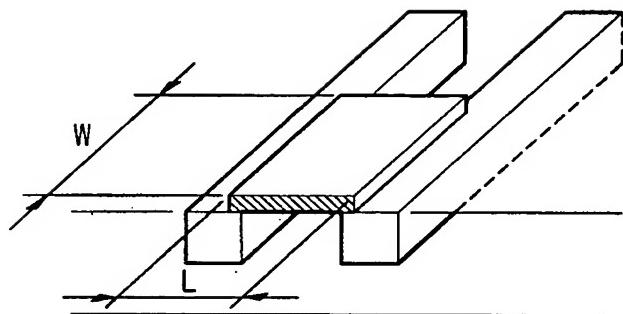
【도 7】



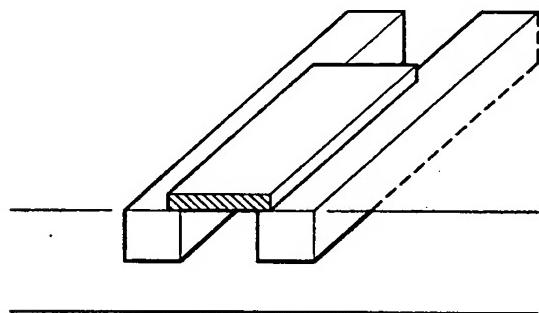
【도 8a】



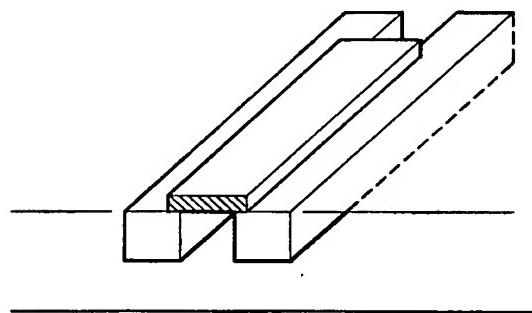
【도 8b】



【도 8c】



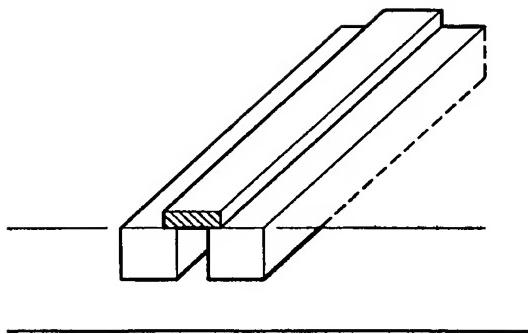
【도 8d】



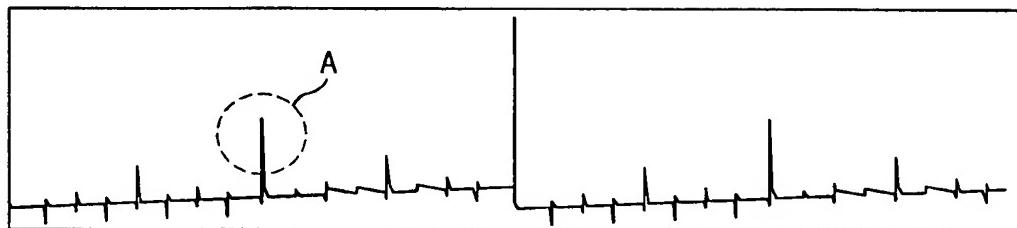
1020030004627

출력 일자: 2003/5/27

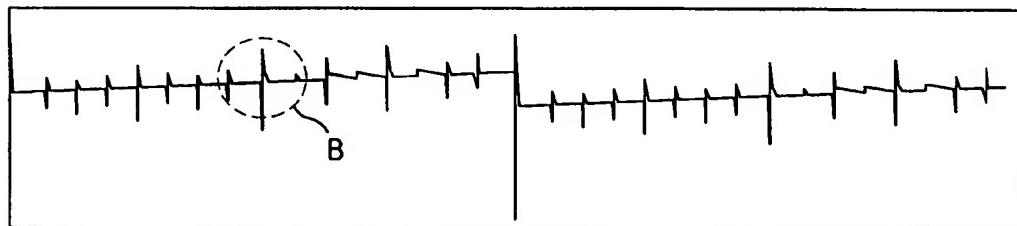
【도 8e】



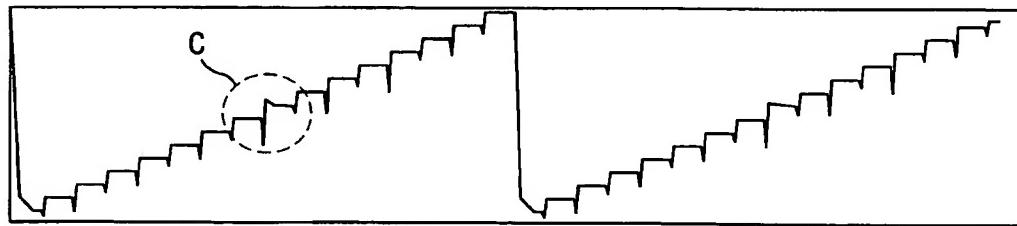
【도 9a】



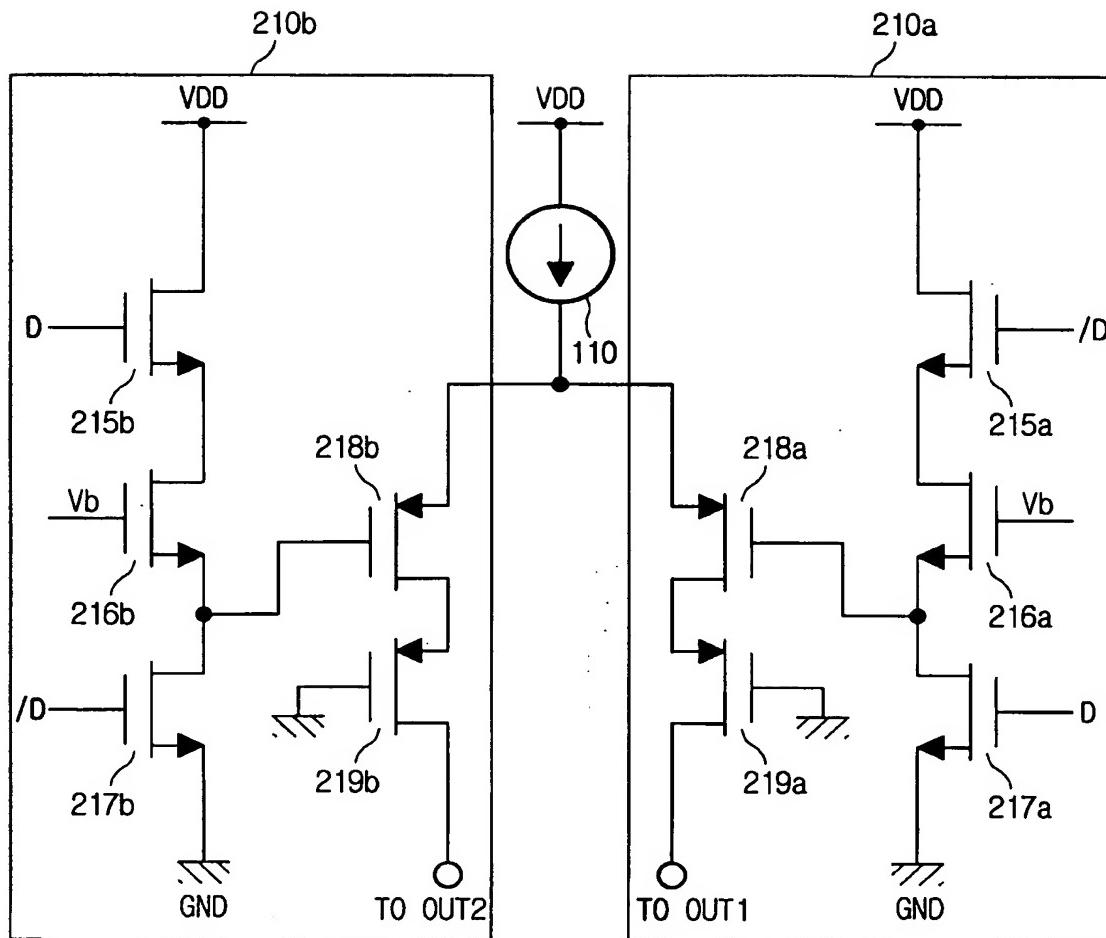
【도 9b】



【도 9c】



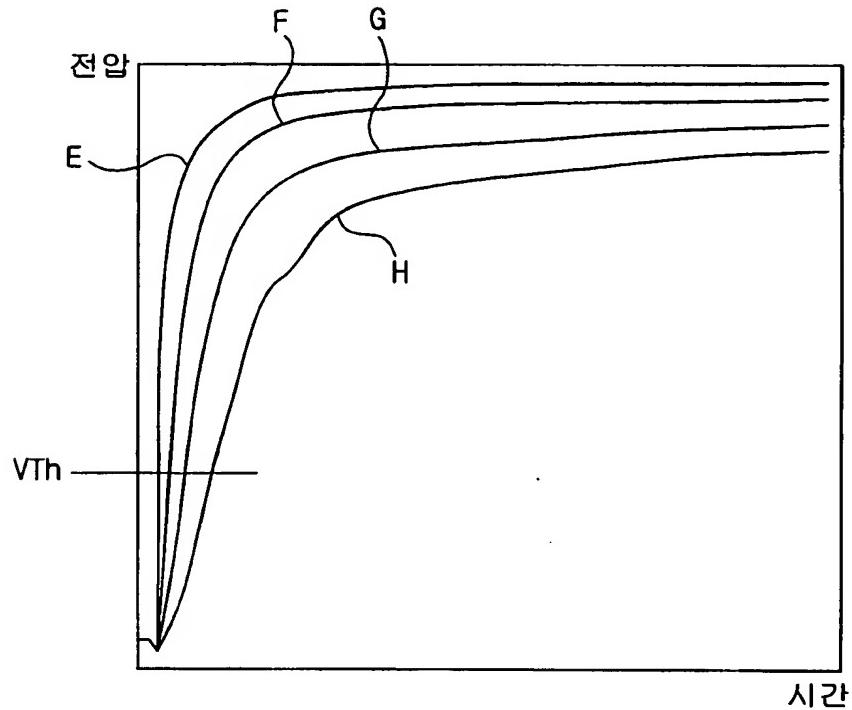
【도 10】



1020030004627

출력 일자: 2003/5/27

【도 11a】



【도 11b】

